

Atty. Docket No. 8729-226 (SS-20062-US)

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**



APPLICANT(S): Han-Gu Sohn et al. EXAMINER: Dare, Ryan A.  
SERIAL NO.: 10/732,868 GROUP ART UNIT: 2186  
FILED: December 10, 2003  
FOR: CIRCUITS AND METHODS FOR PROVIDING VARIABLE  
DATA I/O WIDTH FOR SEMICONDUCTOR MEMORY  
DEVICES

Dated: September 5, 2006

Mail Stop AF  
Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

**TRANSMITTAL OF PRIORITY DOCUMENT**

Sir:

Enclosed is a certified copy of Korean Appln. No. 2003/66944 filed  
on September 26, 2003 and from which priority is claimed under 35 U.S.C. §119.

Respectfully submitted,

A handwritten signature in black ink, appearing to read "Frank V. DeRosa".

Frank V. DeRosa  
Reg. No. 43,584  
Attorney for Applicant(s)

**F. CHAU & ASSOCIATES, LLC**  
130 Woodbury Road  
Woodbury, NY 11797  
(516) 692-8888

---

**CERTIFICATE OF MAILING UNDER 37 C.F.R. §1.8(a)**

I hereby certify that this correspondence is being deposited with the United States  
Postal Service as first class mail, postpaid in an envelope addressed to the: Commissioner for  
Patents, P.O. Box 1450, Alexandria, VA 22313-1450 on September 5, 2006.

Dated: September 5, 2006

A handwritten signature in black ink, appearing to read "Frank V. DeRosa".  
Frank V. DeRosa



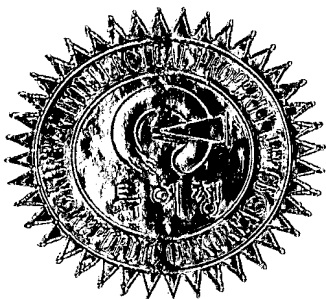
별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

출원 번호 : 10-2003-0066944  
Application Number

출원 년 월 일 : 2003년 09월 26일  
Date of Application SEP 26, 2003

출원인 : 삼성전자주식회사  
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



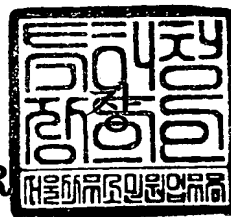
2003 년 12 월 04 일

특

허

청

COMMISSIONER



## 【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0006
【제출일자】	2003.09.26
【국제특허분류】	G06F
【발명의 명칭】	입출력 데이터 위스 조절이 가능한 메모리 장치 및 그 위스 조절 방법
【발명의 영문명칭】	IO bandwidth controllable memory device and the control method of IO bandwidth
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	이영필
【대리인코드】	9-1998-000334-6
【포괄위임등록번호】	2003-003435-0
【대리인】	
【성명】	정상빈
【대리인코드】	9-1998-000541-1
【포괄위임등록번호】	2003-003437-4
【발명자】	
【성명의 국문표기】	손한구
【성명의 영문표기】	SOHN, Han Gu
【주민등록번호】	690620-1408715
【우편번호】	442-753
【주소】	경기도 수원시 팔달구 우만2동 우만주공아파트 203동 1205호
【국적】	KR
【발명자】	
【성명의 국문표기】	손해정
【성명의 영문표기】	SOHN, Hai Jeong
【주민등록번호】	630817-1068122

**【우편번호】** 442-729  
**【주소】** 경기도 수원시 팔달구 영통동 신나무실신원아파트 645-1702  
**【국적】** KR  
**【발명자】**  
**【성명의 국문표기】** 김세진  
**【성명의 영문표기】** KIM,Sei Jin  
**【주민등록번호】** 630822-1347622  
**【우편번호】** 463-010  
**【주소】** 경기도 성남시 분당구 정자동 199번지 정든마을 208-604  
**【국적】** KR  
**【발명자】**  
**【성명의 국문표기】** 정우섭  
**【성명의 영문표기】** JEONG,Woo Seop  
**【주민등록번호】** 680210-1121225  
**【우편번호】** 449-901  
**【주소】** 경기도 용인시 기흥읍 농서리 719-52  
**【국적】** KR  
**【심사청구】** 청구  
**【취지】** 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의  
한 출원심사 를 청구합니다. 대리인  
이영필 (인) 대리인  
정상빈 (인)  
**【수수료】**  
**【기본출원료】** 20 면 29,000 원  
**【가산출원료】** 19 면 19,000 원  
**【우선권주장료】** 0 건 0 원  
**【심사청구료】** 17 항 653,000 원  
**【합계】** 701,000 원  
**【첨부서류】** 1. 요약서·명세서(도면)\_1통

**【요약서】****【요약】**

입출력 데이터 위스 조절이 가능한 메모리 장치 및 그 위스 조절 방법이 개시된다. 본 발명의 메모리 장치는 독출 명령, 기입 명령 또는 액티브 명령과 함께 입력되는 어드레스 신호들의 조합에 의해 제어 신호를 발생한다. 제어 신호에 응답하여 선택적으로 인에이블되는 데이터 출력 버퍼들을 통해 메모리 장치의 코어 블록에서 제공되는 데이터를 선택적으로 데이터 출력 패드로 출력하고, 제어 신호들에 응답하여 선택적으로 인에이블되는 데이터 입력 버퍼를 통해 메모리 장치의 입출력 데이터 패드로부터 제공되는 데이터를 선택적으로 메모리 장치의 입력 데이터 신호로 수신한다. 따라서, 본 발명에 의하면, 시스템에서 요구하는 데이터 크기에 따라 메모리 장치의 입출력 데이터 위스를 조절하여 메모리 사용 효율을 높이고 메모리 장치의 소비 전력을 줄인다.

**【대표도】**

도 4

**【색인어】**

입출력 데이터 위스, 메모리 장치, 소비 전력, DQM

**【명세서】****【발명의 명칭】**

입출력 데이터 위스 조절이 가능한 메모리 장치 및 그 위스 조절 방법{IO bandwidth controllable memory device and the control method of IO bandwidth}

**【도면의 간단한 설명】**

도 1은 일반적인 DRAM의 블록 다이어그램을 설명하는 도면이다.

도 2는 도 1의 DRAM의 독출 동작 타이밍도를 나타내는 도면이다.

도 3은 도 1의 DRAM의 기입 동작 타이밍도를 나타내는 도면이다.

도 4는 본 발명의 일실시예에 따른 메모리 장치를 설명하는 도면이다.

도 5는 도 4의 메모리 장치의 독출 동작 타이밍도를 나타내는 도면이다.

도 6은 도 4의 메모리 장치의 기입 동작 타이밍도를 나타내는 도면이다.

도 7은 본 발명의 일실시예에 따른 디코더를 설명하는 도면이다.

도 8은 본 발명의 일실시예에 따른 데이터 출력 버퍼 제어부를 설명하는 도면이다.

도 9는 본 발명의 일실시예에 따른 데이터 입력 버퍼 제어부를 설명하는 도면이다.

도 10a 및 도 10b는 본 발명의 일실시예에 따른 데이터 출력 버퍼를 설명하는 도면이다.

도 11은 본 발명의 일실시예에 따른 데이터 입력 버퍼를 설명하는 도면이다.

도 12는 본 발명의 다른 실시예에 따른 차동 증폭기 유형의 데이터 입력 버퍼를 설명하는 도면이다.

## 【발명의 상세한 설명】

## 【발명의 목적】

## 【발명이 속하는 기술분야 및 그 분야의 종래기술】

- <13> 본 발명은 반도체 메모리 장치에 관한 것으로, 특히 입출력 데이터 위스 조절이 가능한 메모리 장치 및 그 위스 조절 방법에 관한 것이다.
- <14> 고속 모바일 제품에 사용되는 DRAM이 그 구성상 포인트-투-포인트인 경우 입출력 위스(width)가 큰 것이 요구된다. 특히 동영상 데이터를 처리하는 경우에는  $\times 16$  또는  $\times 32$  등의 넓은 위스를 갖는 DRAM을 필요로 한다. 고속 모바일 시스템 응용 또는 펌웨어에 있어서, 이를 구동하는 언어로 "C" 언어가 주로 사용된다. "C" 언어는 각 변수당 비트 오퍼레이션(bit operation)이 가능하다. 이들 시스템 또는 펌웨어와 연결되는 DRAM은 그 입출력 위스(width)가 고정되어 있는 경우가 대부분이다. 예컨대, 시스템 또는 펌웨어에서 필요로하는 입출력 위스가 4개인 경우에 DRAM에서 제공되는 입출력 위스는 16개, 32개 중인 경우가 있다.
- <15> 도 1은 일반적인 DRAM의 블락 다이어그램 일부분을 설명하는 도면이다. 이를 참조하면, DRAM(100)은 어드레스 신호들(A0~A8, A9~A11)과 명령(COMMAND)을 수신하는 입력 버퍼들(110, 140, 150), 칼럼 디코더(130), 로우 디코더(120), 메모리 셀 어레이(160), 센스 앰프(170), 데이터 출력 버퍼들(180), 그리고 데이터 입력 버퍼들(190)을 포함한다.
- <16> 제1 입력 버퍼들(110)은 A0 내지 A8 어드레스 신호들을 수신하여 칼럼 디코더(130)와 로우 디코더(120)로 제공한다. 제2 입력 버퍼들(120)은 A9 내지 A11 어드레스 신호들을 수신하여 로우 디코더(120)로 제공한다. 칼럼 디코더(130)는 A0 내지 A8 어드레스 신호들을 디코딩하여 메모리 셀 어레이(160) 내 소정의 비트라인을 선택하는 칼럼 선택 신호(CSL)를 발생한다. 로우

디코더(120)는 A0 내지 A8 어드레스 신호들과 A9 내지 A11 어드레스 신호들을 디코딩하여 메모리 셀 어레이(160) 내 소정의 워드라인(WL)을 인에이블시킨다.

<17> 데이터 출력 버퍼들(180)은 메모리 셀 어레이(160)로부터 제공되는 메모리 셀 데이터들(DATA\_OUT<0:7>)을 독출 명령(READ)에 응답하여 데이터 출력 패드들(DOUT0~DOUT7)로 출력한다. 데이터 입력 버퍼들(190)은 데이터 입력 패드들(DIN0~DIN7)을 통해 해당 데이터 입력 버퍼들(191, 192, ..., 198)로 입력되는 데이터 입력 신호들(DATA\_IN<0:7>)을 기입 명령(WRITE)에 응답하여 메모리 셀 어레이(160)로 전달한다.

<18> DRAM(100)의 독출 동작은 도 2에, 그리고 기입 동작은 도 3에 도시되어 있다. 도 2를 참조하면, 클럭 신호(CLK)에 동기되어 입력되는 독출 명령(READ)과 칼럼 어드레스 신호들(ADDR<0:8>)에 응답하여 카스 레이턴시 4에 해당하는 클럭킹 후, 8개의 데이터 출력 패드들(DOUT0~DOUT7)로 데이터들(Q0~Q7)이 출력된다. 도 3을 참조하면, 클럭 신호(CLK)에 동기되어 입력되는 기입 명령(WRITE)과 칼럼 어드레스 신호들(ADDR<0:8>)에 응답하여 데이터 입력 패드들(DIN0~DIN7)로 8개의 입력 데이터들(D0~D7)이 입력된다.

<19> 이러한 DRAM(100)을 4개의 입출력 데이터를 필요로하는 시스템에 사용하게 되면, 4개의 입출력 데이터 인터페이싱을 위해 4개의 데이터 출력 버퍼들(예컨대, 181~184)과 4개의 데이터 입력 버퍼들(예컨대, 191~194)을 구동하면 되는 데, 필요로하지 않는 4개의 데이터 출력 버퍼들(예컨대, 185~188)과 4개의 데이터 입력 버퍼들(예컨대, 195~198)도 구동된다. 이에 따라, 잉여의 데이터 출력 버퍼들(185~188)과 데이터 입력 버퍼들(195~198)의 구동으로 DRAM(100)의 전력 소모가 커짐으로 인해 시스템의 전력 소모가 커지는 문제점이 발생된다.

<20> 따라서, 시스템에서 필요로하는 입출력 갯수에 따라 유연하게 그 입출력 위스를 조절할 수 있는 메모리 장치의 존재가 요구된다.



## 【발명이 이루고자 하는 기술적 과제】

- <21> 본 발명의 목적은 입출력 데이터 위스 조절이 가능한 메모리 장치를 제공하는 데 있다.
- <22> 본 발명의 다른 목적은 메모리 장치의 입출력 데이터 위스 조절 방법을 제공하는 데 있다.

## 【발명의 구성 및 작용】

- <23> 상기 목적을 달성하기 위하여, 본 발명의 일면에 따른 출력 데이터 위스 조절이 가능한 메모리 장치는 독출 명령에 응답하여 소정의 어드레스들을 수신하여 디코딩하는 디코더; 독출 명령 및 디코더의 출력에 응답하여 출력 제어 신호들을 발생하는 데이터 출력 버퍼 제어부; 및 출력 제어 신호에 응답하여 메모리 장치의 코어 블록에서 제공되는 데이터들을 선택적으로 데이터 출력 패드들로 출력하는 데이터 출력 버퍼들을 포함한다.
- <24> 상기 목적을 달성하기 위하여, 본 발명의 다른 면에 따른 입력 데이터 위스 조절이 가능한 메모리 장치는 기입 명령에 응답하여 소정의 어드레스들을 수신하여 디코딩하는 디코더; 기입 명령 및 디코더의 출력에 응답하여 입력 제어 신호들을 발생하는 데이터 입력 버퍼 제어부; 및 입력 제어 신호에 응답하여 메모리 장치의 데이터 입력 패드로부터 제공되는 데이터를 선택적으로 메모리 장치의 입력 데이터 신호로 수신하는 데이터 입력 버퍼들을 포함한다.
- <25> 상기 목적을 달성하기 위하여, 본 발명의 더욱 다른 면에 따른 입출력 데이터 위스 조절이 가능한 메모리 장치는 독출 명령 또는 기입 명령에 응답하여 소정의 어드레스들을 수신하여 디코딩하는 디코더; 독출 명령 및 디코더의 출력에 응답하여 입력 제어 신호들을 발생하는 데이터 입력 버퍼 제어부; 기입 명령 및 디코더의 출력에 응답하여 출력 제어 신호들을 발생하는 데이터 출력 버퍼 제어부; 입력 제어 신호에 응답하여 메모리 장치의 데이터 입출력 패드로부터

터 제공되는 데이터를 선택적으로 메모리 장치의 입력 데이터 신호로 수신하는 데이터 입력 버퍼들; 출력 제어 신호에 응답하여 메모리 장치의 코어 블록에서 제공되는 데이터를 선택적으로 데이터 입출력 패드로 출력하는 데이터 출력 버퍼들을 포함한다.

<26>       상기 다른 목적을 달성하기 위하여, 본 발명에 따른 메모리 장치의 출력 데이터 위스 조절 방법에 있어서, 클럭 신호에 동기되어 독출 명령 및 어드레스들을 수신하는 단계; 독출 명령 및 칼럼 어드레스로 사용되지 않는 어드레스들에 응답하여 출력 제어 신호들을 발생하는 단계; 및 출력 제어 신호에 응답하여 선택적으로 인에이블되는 데이터 출력 버퍼들을 통해 메모리 장치의 코어 블록에서 제공되는 데이터를 데이터 출력 패드로 출력하는 단계를 포함한다.

<27>       상기 다른 목적을 달성하기 위하여, 본 발명에 따른 메모리 장치의 입력 데이터 위스 조절 방법에 있어서, 클럭 신호에 동기되어 기입 명령 및 어드레스들을 수신하는 단계; 기입 명령 및 칼럼 어드레스로 사용되지 않는 어드레스들에 응답하여 입력 제어 신호들을 발생하는 단계; 및 입력 제어 신호에 응답하여 선택적으로 인에이블되는 데이터 입력 버퍼들을 통해 데이터 입력 패드로 입력되는 데이터들을 입력 데이터 신호로 수신하는 단계를 포함한다.

<28>       상기 다른 목적을 달성하기 위하여, 본 발명의 일예에 따른 메모리 장치의 입출력 데이터 위스 조절 방법에 있어서, 클럭 신호에 동기되는 어드레스들과 함께 독출 명령 또는 기입 명령을 수신하는 단계; 독출 명령에 응답하여 칼럼 어드레스로 사용되지 않는 어드레스들에 응답하여 입력 제어 신호들을 발생하는 단계; 기입 명령에 응답하여 칼럼 어드레스로 사용되지 않는 어드레스들에 응답하여 출력 제어 신호를 발생하는 단계; 입력 제어 신호에 응답하여 선택적으로 인에이블되는 데이터 입력 버퍼들을 통해 데이터 입력 패드로 입력되는 데이터들을 입력 데이터 신호로 수신하는 단계; 및 출력 제어 신호에 응답하여 선택적으로 인에이블되는

데이터 출력 버퍼들을 통해 메모리 장치의 코어 블록에서 제공되는 데이터를 데이터 출력 패드로 출력하는 단계를 포함한다.

<29>       상기 다른 목적을 달성하기 위하여, 본 발명의 다른 예에 따른 메모리 장치의 입출력 데이터 위스 조절 방법에 있어서, 클럭 신호에 동기되어 액티브 명령 및 어드레스들을 수신하는 단계; 액티브 명령 및 어드레스들에 응답하여 제어 신호들을 발생하는 단계; 제어 신호에 응답하여 선택적으로 인에이블되는 데이터 입력 버퍼들을 통해 입력 데이터 패드로 입력되는 데이터들을 데이터 입력 신호로 수신하는 단계; 및 제어 신호에 응답하여 선택적으로 인에이블되는 데이터 출력 버퍼들을 통해 메모리 장치의 코어 블록에서 제공되는 데이터를 출력 데이터 패드로 출력하는 단계를 포함한다.

<30>       상기 다른 목적을 달성하기 위하여, 본 발명의 또다른 예에 따른 메모리 장치의 입출력 데이터 위스 조절 방법에 있어서, 입출력 데이터 위스를 조절하는 제어 신호들을 모드 레지스터에 저장하는 단계; 제어 신호들에 응답하여 선택적으로 인에이블되는 데이터 입력 버퍼를 통해 메모리 장치의 데이터 입출력 패드로부터 제공되는 데이터를 선택적으로 메모리 장치의 입력 데이터 신호로 수신하는 단계; 및 제어 신호에 응답하여 선택적으로 인에이블되는 데이터 출력 버퍼를 통해 메모리 장치의 코어 블록에서 제공되는 데이터를 선택적으로 데이터 입출력 패드로 출력하는 단계를 포함한다.

<31>       따라서, 본 발명에 의하면, 시스템에서 요구하는 데이터 크기에 따라 메모리 장치의 입출력 데이터 위스를 조절하여 메모리 사용 효율을 높이고 메모리 장치의 소비 전력을 줄인다. 또한, 메모리 장치의 기존 DQM 핀 없이도 입출력 데이터 갯수를 조절할 수 있어서, 메모리 장치의 핀 수를 줄이는 잇점이 있다.

- <32> 본 발명과 본 발명의 동작상의 이점 및 본 발명의 실시에 의하여 달성되는 목적을 충분히 이해하기 위해서는 본 발명의 예시적인 실시예를 설명하는 첨부 도면 및 첨부 도면에 기재된 내용을 참조하여야만 한다.
- <33> 이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 설명함으로써, 본 발명을 상세히 설명한다. 각 도면에 제시된 동일한 참조부호는 동일한 부재를 나타낸다.
- <34> 도 4는 본 발명의 일실시예에 따른 메모리 장치를 설명하는 도면이다. 이를 참조하면, 메모리 장치(400)는 입력 버퍼들(110, 140, 150), 칼럼 디코더(130), 로우 디코더(120), 메모리 셀 어레이(160), 센스 앰프(170), 디코더(410), 데이터 출력 버퍼 제어부(420), 데이터 입력 버퍼 제어부(430), 데이터 출력 버퍼들(480), 그리고 데이터 입력 버퍼들(490)을 포함한다. 앞서 도 1의 메모리 장치(100)에서 설명한 동일한 참조부호의 입력 버퍼들(110, 140, 150), 칼럼 디코더(130), 로우 디코더(120), 메모리 셀 어레이(160), 그리고 센스 앰프(170)는 설명의 중복을 피하기 위하여 구체적인 설명은 생략된다.
- <35> 디코더(410)는 제3 입력 버퍼(150)를 통해 입력되는 독출 명령(READ)과 기입 명령(WRITE)에 응답하여 제2 입력 버퍼(140)를 통해 입력되는 A9 내지 A10 어드레스 신호를 디코딩하여 디코딩 신호들(WCON<0:3>)을 출력한다. 디코딩 신호들(WCON<0:3>)은 데이터 입력 버퍼 제어부(430)와 데이터 출력 버퍼 제어부(420)로 제공된다.
- <36> 데이터 출력 버퍼 제어부(420)는 독출 명령(READ)과 디코더(430)에서 제공되는 디코딩 신호들(WCON<0:3>)에 응답하여 출력 제어 신호들(COUT<0:3>)을 발생한다. 출력 제어 신호들(COUT<0:3>)은 데이터 출력 버퍼들(480)로 제공되는 메모리 셀 데이터들(DATA\_OUT<0:7>)을 선택적으로 데이터 출력 패드들(DOUT0~DOUT7)로 출력한다.

- <37>        데이터 입력 버퍼 제어부(430)는 기입 명령(WRITE)과 디코더(430)에서 제공되는 디코딩 신호들(WCON<0:3>)에 응답하여 입력 제어 신호들(CIN<0:3>)을 발생한다. 입력 제어 신호들(CIN<0:3>)은 데이터 입력 패드들(DIN0~DIN7)로 입력되는 데이터들을 선택적으로 입력 데이터 신호들(DATA\_IN<0:7>)로 입력한다.
- <38>        도 5는 도 4의 메모리 장치(400)의 독출 동작을 설명하는 도면으로, 데이터 출력 위스 × 8의 제1 구간, 데이터 출력 위스 × 8의 제2 구간, 그리고 데이터 출력 위스 × 8의 제3 구간으로 나뉘어져 설명된다. 메모리 장치(400)의 동작은 카스 레이턴시 4로 동작한다고 설정한다.
- <39>        데이터 출력 위스 × 8의 제1 구간을 살펴보면, C1 클럭에 동기되는 독출 명령(READ)과 칼럼 어드레스 신호(CA)와 함께 입력되는 로직 하이레벨(H)의 ADDR<9> 및 ADDR<10> 어드레스 신호에 응답하여 제1 디코딩 신호(WCON<0>)는 로직 하이레벨(H)로 발생되고 제2 내지 제4 디코딩 신호들(WCON<1:3>)은 로직 로우레벨(L)로 발생된다. 로직 하이레벨의 제1 디코딩 신호(WCON<0>)에 응답하여 제1 내지 제4 출력 제어 신호(COUT<0:3>)는 로직 하이레벨로 발생된다. 로직 하이레벨의 제1 내지 제4 출력 제어 신호(COUT<0:3>)에 응답하여 C3 클럭에서 8개의 데이터 출력 패드들(DOUT0~DOUT7)로 메모리 셀 데이터들(Q0~Q7)이 출력된다.
- <40>        데이터 출력 위스 × 8의 제2 구간을 살펴보면, C5 클럭에 동기되는 독출 명령(READ)과 칼럼 어드레스 신호(CA)와 함께 입력되는 로직 하이레벨(H)의 ADDR<9> 어드레스 신호와 로직 로우레벨의 ADDR<10> 어드레스 신호에 응답하여 제2 디코딩 신호(WCON<1>)는 로직 하이레벨(H)로 발생되고 제1, 제3 및 제4 디코딩 신호들(WCON<0>, WCON<2>, WCON<3>)은 로직 로우레벨(L)로 발생된다. 로직 하이레벨의 제2 디코딩 신호(WCON<1>)에 응답하여 제1 출력 제어 신호(COUT<0>)는 로직 로우레벨로, 그리고 제2 내지 제4 출력 제어 신호(COUT<1:3>)는 로직 하이레벨로 발생된다. 로직 하이레벨의 제2 내지 제4 출력 제어 신호(COUT



<1:3>에 의해 C7 클럭에서 6개의 데이터 출력 패드들(DOUT0~DOUT5)로 메모리 셀 데이터들(Q0~Q5)이 출력된다.

<41> 데이터 출력 위스 ⅹ2의 제3 구간을 살펴보면, C9 클럭에 동기되는 독출 명령(READ)과 칼럼 어드레스 신호(CA)와 함께 입력되는 로직 로우레벨(L)의 ADDR<9> 및 ADDR<10> 어드레스 신호에 응답하여 제4 디코딩 신호(WCON<3>)는 로직 하이레벨(H)로 발생되고 제1 내지 제3 디코딩 신호들(WCON<0:2>)은 로직 로우레벨(L)로 발생된다. 로직 하이레벨의 제4 디코딩 신호(WCON<3>)에 응답하여 제4 출력 제어 신호(COUT<3>)는 로직 하이레벨로, 그리고 제1 내지 제3 출력 제어 신호(COUT<0:2>)는 로직 로우레벨로 발생된다. 로직 하이레벨의 제4 출력 제어 신호(COUT<3>)에 의해 C11 클럭에서 2개의 데이터 출력 패드들(DOUT0~DOUT1)로 메모리 셀 데이터들(Q0~Q1)이 출력된다.

<42> 도 6 도 4의 메모리 장치(400)의 기입 동작을 설명하는 도면으로, 데이터 입력 위스 ⅹ8의 제1 구간, 데이터 입력 위스 ⅹ6의 제2 구간, 그리고 데이터 입력 위스 ⅹ2의 제3 구간으로 나뉘어져 설명된다.

<43> 데이터 입력 위스 ⅹ8의 제1 구간을 살펴보면, C1 클럭에 동기되는 기입 명령(WRITE)과 칼럼 어드레스 신호(CA), 그리고 로직 하이레벨(H)의 ADDR<9> 및 ADDR<10> 어드레스 신호와 함께 데이터 입력 패드들(DIN0~DIN7)로 입력 데이터들(D0~D7)이 입력된다. 로직 하이레벨(H)의 ADDR<9> 및 ADDR<10> 어드레스 신호에 응답하여 제1 디코딩 신호(WCON<0>)는 로직 하이레벨(H)로 발생되고 제2 내지 제4 디코딩 신호들(WCON<1:3>)은 로직 로우레벨(L)로 발생된다. 로직 하이레벨의 제1 디코딩 신호(WCON<0>)에 응답하여 제1 내지 제4 입력 제어 신호(CIN<0:3>)는 로직 하이레벨로 발생된다. 로직 하이레벨의 제1 내지 제4 입력 제어 신호(CIN<0:3>)에 응

답하여 C3 클럭에서 데이터 입력 패드들(DIN0~DIN7)로 입력된 데이터들(D0~D7)이 8개의 입력 데이터 신호들(DATA\_IN0~DATA\_IN7)로 입력된다.

<44> 데이터 입력 위스 ⅹ6의 제2 구간을 살펴보면, C5 클럭에 동기되는 기입 명령(WRITE)과 칼럼 어드레스 신호(CA), 그리고 로직 하이레벨(H)의 ADDR<9> 어드레스 신호 및 로직 로우레벨의 ADDR<10> 어드레스 신호와 함께 데이터 입력 패드들(DIN0~DIN7)로 입력 데이터들(D0~D7)이 입력된다. 로직 하이레벨(H)의 ADDR<9> 어드레스 신호와 로직 로우레벨의 ADDR<10> 어드레스 신호에 응답하여 제2 디코딩 신호(WCON<1>)는 로직 하이레벨(H)로 발생되고 제1, 제3 및 제4 디코딩 신호들(WCON<0>, WCON<2>, WCON<3>)은 로직 로우레벨(L)로 발생된다. 로직 하이레벨의 제2 디코딩 신호(WCON<1>)에 응답하여 제1 출력 제어 신호(COUT<0>)는 로직 로우레벨로, 그리고 제2 내지 제4 출력 제어 신호(COUT<1:3>)는 로직 하이레벨로 발생된다. 로직 하이레벨의 제2 내지 제4 입력 제어 신호(CIN<1:3>)에 응답하여 C7 클럭에서 데이터 입력 패드들(DIN0~DIN7)로 입력된 데이터들(D0~D7) 중 6개만이 선택되어 입력 데이터 신호들(DATA\_IN0~DATA\_IN5)로 입력된다.

<45> 데이터 입력 위스 ⅹ8의 제3 구간을 살펴보면, C9 클럭에 동기되는 기입 명령(WRITE)과 칼럼 어드레스 신호(CA), 그리고 로직 로우레벨(L)의 ADDR<9> 및 로직 로우레벨의 ADDR<10> 어드레스 신호와 함께 데이터 입력 패드들(DIN0~DIN7)로 입력 데이터들(D0~D7)이 입력된다. 로직 로우레벨(L)의 ADDR<9> 및 ADDR<10> 어드레스 신호에 응답하여 제4 디코딩 신호(WCON<3>)는 로직 하이레벨(H)로 발생되고 제1 내지 제3 디코딩 신호들(WCON<0:2>)은 로직 로우레벨(L)로 발생된다. 로직 하이레벨의 제4 디코딩 신호(WCON<3>)에 응답하여 제4 출력 제어 신호(COUT<3>)는 로직 하이레벨로, 그리고 제1 내지 제3 출력 제어 신호(COUT<0:2>)는 로직 로우레벨로 발생된다. 로직 하이레벨의 제4 출력 제어 신호(COUT<3>)에 의해 C11 클럭에서 데이터

입력 패드들(DIN0~DIN7)로 입력된 데이터들(D0~D7) 중 2개만이 선택되어 입력 데이터 신호들(DATA\_IN0~DATA\_IN1)로 입력된다.

- <46> 도 7은 도 4의 메모리 장치(400) 내 디코더(410)를 설명하는 도면이다. 이를 참조하면, 디코더(410)는 오아 게이트(760), 스위치(750), 그리고 다수개의 낸드 게이트들(710, 720, 730, 740)을 포함한다. 스위치(750)는 독출 명령(READ) 또는 기입 명령(WRITE)을 입력하는 오아 게이트(760)의 출력에 응답하여 AD<9> 어드레스 신호와 AD<10> 어드레스 신호를 낸드 게이트들(710, 720, 730, 740)로 전달한다. 낸드 게이트들(710, 720, 730, 740)은 AD<9>, AD<10> 어드레스 신호들의 로직 레벨에 따라 제1 내지 제4 디코딩 신호들(WCON<0:3>)을 출력한다.
- <47> 디코더(410)는 하나의 디코딩 신호(WCON<0:3>)만을 로직 하이레벨로 발생하는 데, 앞서 설명한 도 5 및 도 6의 동작 타이밍도와 연계하여 살펴보면, 로직 하이레벨(H)의 AD<9> 및 AD<10> 어드레스 신호에 응답하여 제1 디코딩 신호(WCON<0>)가 로직 하이레벨(H)로, 로직 하이레벨(H)의 AD<9> 어드레스 신호와 로직 로우레벨(L)의 AD<10> 어드레스 신호에 응답하여 제2 디코딩 신호(WCON<1>)가 로직 하이레벨(H)로 발생되고, 그리고 로직 로우레벨(L)의 AD<9> 및 AD<10> 어드레스 신호에 응답하여 제4 디코딩 신호(WCON<3>)가 로직 하이레벨(H)로 발생된다.
- <48> 도 8은 도 4의 메모리 장치(400) 내 데이터 출력 버퍼 제어부(420)를 설명하는 도면이다. 이를 참조하면, 데이터 출력 버퍼 제어부(420)는 제1 내지 제4 스위치들(810, 820, 830, 840)과 제1 내지 제3 노아 게이트들(815, 825, 835)을 포함한다. 제1 스위치(810)는 제1 디코딩 신호(WCON<0>)를 독출 명령(READ)에 응답하여 제1 출력 제어 신호(COUT<0>)로 전달한다. 제2 스위치(820)는 제1 및 제2 디코딩 신호(WCON<0>, WCON<1>)를 입력하는 제1 노아 게이트(815)의 출력을 독출 명령(READ)에 응답하여 제2 출력 제어 신호(COUT<1>)로 전달한다. 제3



스위치(830)는 제1 내지 제3 디코딩 신호(WCON<0>, WCON<1>, WCON<2>)를 입력하는 제2 노아 게이트(825)의 출력을 독출 명령(READ)에 응답하여 제3 출력 제어 신호(COUT<2>)로 전달한다. 제4 스위치(840)는 제1 내지 제4 디코딩 신호(WCON<0>, WCON<1>, WCON<2>, WCON<3>)를 입력하는 제3 노아 게이트(835)의 출력을 독출 명령(READ)에 응답하여 제4 출력 제어 신호(COUT<3>)로 전달한다.

<49>        데이터 출력 버퍼 제어부(420)의 동작을 앞서 설명한 도 5 및 도 6의 동작 타이밍도와 연계하여 살펴보면, 로직 하이레벨의 제1 디코딩 신호(WCON<0>)에 응답하여 제1 내지 제4 출력 제어 신호들(COUT<0:3>)이 로직 하이레벨로 발생되고, 로직 하이레벨의 제2 디코딩 신호(WCON<1>)에 응답하여 제2 내지 제4 출력 제어 신호들(COUT<1:3>)이 로직 하이레벨로 발생되고, 그리고 로직 하이레벨의 제4 디코딩 신호(WCON<3>)에 응답하여 제4 출력 제어 신호(COUT<3>)가 로직 하이레벨로 발생된다.

<50>        도 9는 도 4의 메모리 장치(400) 내 데이터 입력 버퍼 제어부(430)를 설명하는 도면이다. 이를 참조하면, 데이터 입력 버퍼 제어부(430)는 앞서 설명한 도 8의 데이터 출력 버퍼 제어부(420)의 구성 및 동작과 거의 동일하다. 다만, 스위치들(910, 920, 930, 940)이 기입 명령(WRITE)에 응답하여 제1 내지 제4 입력 제어 신호들(CIN<0:3>)을 발생한다는 점에서 차이가 있다. 설명의 중복을 피하기 위하여, 데이터 입력 버퍼 제어부(420)의 구체적인 구성 및 동작 설명이 생략된다.

<51>        도 10a 및 도 10b는 도 4의 메모리 장치(400) 내 데이터 출력 버퍼들(481~488)을 설명하는 도면이다. 제1 데이터 출력 버퍼(481)는 메모리 셀 어레이(160, 도 4)로부터 제공되는 제1 출력 데이터(DATA\_OUT<0>)를 제4 출력 제어 신호(COUT<3>)에 응답하여 제1 데이터 출력 패드(DOUT0)로 출력한다. 제2 데이터 출력 버퍼(482)는 메모리 셀 어레이(160, 도 4)로부터 제공되

는 제2 출력 데이터(DATA\_OUT<1>)를 제4 출력 제어 신호(COUT<3>)에 응답하여 제2 데이터 출력 패드(DOUT1)로 출력한다. 제3 및 제4 데이터 출력 버퍼들(483, 484)은 제3 출력 제어 신호(COUT<2>)에 응답하여 메모리 셀 어레이(160, 도 4)로부터 제공되는 제3 및 제4 출력 데이터들(DATA\_OUT<2>, DATA\_OUT<3>) 각각을 제3 및 제4 데이터 출력 패드들(DOUT2, DOUT3)로 출력한다. 제5 및 제6 데이터 출력 버퍼들(485, 486)은 제2 출력 제어 신호(COUT<1>)에 응답하여 메모리 셀 어레이(160, 도 4)로부터 제공되는 제5 및 제6 출력 데이터들(DATA\_OUT<4>, DATA\_OUT<5>) 각각을 제5 및 제6 데이터 출력 패드들(DOUT4, DOUT5)로 출력한다. 제7 및 제8 데이터 출력 버퍼들(487, 488)은 제1 출력 제어 신호(COUT<0>)에 응답하여 메모리 셀 어레이(160, 도 4)로부터 제공되는 제7 및 제8 출력 데이터들(DATA\_OUT<6>, DATA\_OUT<7>) 각각을 제7 및 제8 데이터 출력 패드들(DOUT2, DOUT3)로 출력한다.

<52> 대표적으로, 제1 데이터 출력 버퍼(481)를 살펴보면, 제4 출력 제어 신호(COUT<3>)의 로직 하이레벨에 응답하여 제1 출력 데이터(DATA\_OUT<0>)의 로직 레벨에 따라 제1 데이터 출력 패드(DOUT0)로 출력된다. 예컨대, 제1 출력 데이터(DATA\_OUT<0>)가 로직 로우레벨이면, 낸드 게이트(481-1) 출력은 로직 하이레벨로, 그리고 노아 게이트(481-2) 출력은 로직 하이레벨로 발생된다. 로직 하이레벨의 노아 게이트(481-2) 출력에 응답하여 엔모스 트랜지스터(481-4)가 턴온되어 제1 데이터 출력 패드(DOUT0)는 로직 로직 로우레벨로 출력된다. 제1 출력 데이터(DATA\_OUT<0>)가 로직 하이레벨이면, 낸드 게이트(481-1) 출력과 노아 게이트(481-2) 출력은 로직 로우레벨로 발생된다. 로직 로우레벨의 낸드 게이트(481-1) 출력에 응답하여 제1 데이터 출력 패드(DOUT0)는 로직 하이레벨로 출력된다.

<53> 도 11은 도 4의 메모리 장치(400) 내 데이터 입력 버퍼들(491~498)를 설명하는 도면이다. 제1 데이터 입력 버퍼(491)는 제4 입력 제어 신호(CIN<3>)에 응답하여 제1 데이터 입력 패

드(DIN0)로 입력되는 데이터를 제1 입력 데이터 신호(DATA\_IN<0>)로 전달한다. 제2 데이터 입력 버퍼(492)는 제4 입력 제어 신호(CIN<3>)에 응답하여 제2 데이터 입력 패드(DIN1)로 입력되는 데이터를 제2 입력 데이터 신호(DATA\_IN<1>)로 전달한다. 제3 및 제4 데이터 입력 버퍼들(493, 494)는 제3 입력 제어 신호(CIN<2>)에 응답하여 제3 및 제4 데이터 입력 패드들(DIN2, DIN3)로 각각 입력되는 데이터들을 제3 및 제4 입력 데이터 신호(DATA\_IN<2>, DATA\_IN<3>)로 전달한다. 제5 및 제6 데이터 입력 버퍼들(495, 496)는 제2 입력 제어 신호(CIN<1>)에 응답하여 제5 및 제6 데이터 입력 패드들(DIN4, DIN5)로 각각 입력되는 데이터들을 제5 및 제6 입력 데이터 신호(DATA\_IN<4>, DATA\_IN<5>)로 전달한다. 제7 및 제8 데이터 입력 버퍼들(497, 498)는 제1 입력 제어 신호(CIN<0>)에 응답하여 제7 및 제8 데이터 입력 패드들(DIN6, DIN7)로 각각 입력되는 데이터들을 제7 및 제8 입력 데이터 신호(DATA\_IN<6>, DATA\_IN<7>)로 전달한다.

<54> 도 12는 본 발명의 다른 실시예에 따른 데이터 입력 버퍼를 설명하는 도면이다. 다수개의 데이터 입력 버퍼들 중 대표적으로 제1 데이터 입력 버퍼(491-1)만이 도시되어 있다. 제1 데이터 입력 버퍼(491-1)는 차동 증폭기 유형으로, 제4 입력 제어 신호(CIN<3>)에 응답하여 제3 엔모스 트랜지스터(MN3)가 턴온되어 제1 데이터 입력 버퍼(491-1)가 인에이블된다. 제1 데이터 입력 패드(DIN0)로 입력되는 데이터는 기준 전압(REF)과 비교되어 그 로직 레벨로 제1 입력 데이터 신호(DATA\_IN<0>)를 발생한다.

<55> 제1 데이터 입력 패드(DIN0)로 입력되는 데이터가 기준 전압(REF) 보다 낮은 로직 로우 레벨이면, 제2 엔모스 트랜지스터(MN2)가 턴오프되어 제1 입력 데이터 신호(DATA\_IN<0>)는 로직 로우레벨로 발생된다. 제1 데이터 입력 패드(DIN0)로 입력되는 데이터가 기준 전압(REF) 보

다 높은 로직 하이레벨이면, 제2 앤모스 트랜지스터(MN2)가 턴온되어 제1 입력 데이터 신호 (DATA\_IN<0>)는 로직 하이레벨로 발생된다.

- <56> 따라서, 본 발명의 메모리 장치(400)에 의하면, 외부로부터 인가되는 A9 및 A10 어드레스 신호에 의해 입출력 데이터 위스 조절이 가능하며, 요구되는 데이터 위스에 맞추어 데이터 입력 버퍼들(491~498) 또는 데이터 출력 버퍼들(481~488)을 구동하기 때문에, 메모리 장치(400)의 소비 전력을 줄일 수 있다.
- <57> 본 발명의 실시예들에서 독출 명령(READ)과 함께 인가되는 A9 및 A10 어드레스 신호에 의해 출력 데이터 위스가 조절되고 기입 명령(WRITE)과 함께 인가되는 A9 및 A10 어드레스에 의해 입력 데이터 위스가 조절되는 예에 대하여 기술하였다. 이로부터 독출 명령(READ) 또는 기입 명령(WRITE) 이외에 액티브 명령(ACTIVE)에 의해 입출력 데이터 위스를 조절할 수 있음은 당업자에게 자명하다.
- <58> 본 발명에서는 AD9 및 AD10 어드레스에 의해 입출력 데이터 위스를 조절하는 것으로 설명되고 있으나, AD9 및 AD10 어드레스는 메모리 장치의 어드레스들(AD0~AD10) 중 로우 어드레스 신호 및 칼럼 어드레스 신호로 공통으로 사용되지 않는 어드레스를 의미한다. 즉, AD9 및 AD10 어드레스는 로우 어드레스 신호로 사용되고 칼럼 어드레스 신호로 사용되지 않는 신호이다. 그러므로, AD9 및 AD10 어드레스는 독출 명령(READ) 또는 기입 명령(WRITE) 시 인가되는 칼럼 어드레스(AD0~AD8)과 함께 메모리 장치(200, 400)로 인가되어 출력 또는 입력 데이터 위스 조절에 사용된다
- <59> 이와는 달리, 출력 또는 입력 데이터 위스 조절을 위하여, 본 실시예들서의 A9 및 A10 어드레스들에 해당하며 제1 내지 제4 입력 또는 출력 제어 신호들(CIN<0:3>, COUT<0:3>)을 받



생하기 위한 신호들이 모드 레지스터에 저장되어, 모드 레지스터로부터 데이터 출력 버퍼 제어부(420, 도 4) 또는 데이터 입력 버퍼 제어부(430, 도 4)로 제공될 수도 있다.

<60> 그리고 본 실시예들에서는 A9 및 A10 어드레스들이 독출 명령 또는 기입 명령과 함께 인가되는 예들에 대하여 기술하고 있으나, 메모리 장치(200, 400)의 칼럼 선택 신호 발생 시점에 맞추어 인가될 수도 있음은 물론이다.

<61> 본 발명은 도면에 도시된 일 실시예를 참고로 설명되었으나 이는 예시적인 것에 불과하며, 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 등록청구범위의 기술적 사상에 의해 정해져야 할 것이다.

#### 【발명의 효과】

<62> 상술한 본 발명에 의하면, 시스템에서 요구하는 데이터 크기에 따라 메모리 장치의 출력 데이터 위스, 입력 데이터 위스, 그리고 입출력 데이터 위스를 조절하여 메모리 사용 효율을 높이고, 메모리 장치의 소비 전력을 줄인다. 또한, 메모리 장치의 기존 DQM 핀 없이도 입출력 데이터 갯수를 조절할 수 있어서, 메모리 장치의 핀 수를 줄이는 잇점이 있다.

**【특허청구범위】****【청구항 1】**

출력 데이터 위스 조절이 가능한 메모리 장치에 있어서,

독출 명령에 응답하여 소정의 어드레스들을 수신하여 디코딩하는 디코더;

상기 독출 명령 및 상기 디코더의 출력에 응답하여 출력 제어 신호들을 발생하는 데이터 출력 버퍼 제어부; 및

상기 출력 제어 신호에 응답하여 상기 메모리 장치의 코어 블록에서 제공되는 데이터들을 선택적으로 데이터 출력 패드들로 출력하는 데이터 출력 버퍼들을 구비하는 것을 특징으로 하는 메모리 장치.

**【청구항 2】**

제1항에 있어서, 상기 메모리 장치의 어드레스들은

상기 메모리 장치의 로우 어드레스로는 사용되지만 칼럼 어드레스로는 사용되지 않는 어드레스들인 것을 특징으로 하는 메모리 장치.

**【청구항 3】**

제1항에 있어서, 상기 디코더는

상기 독출 명령에 응답하여 상기 어드레스들을 전달하는 스위치; 및

상기 스위치로부터 전달된 어드레스들을 디코딩하여 상기 디코딩 신호들을 발생하는 로직부들을 구비하는 것을 특징으로 하는 메모리 장치.

**【청구항 4】**

제1항에 있어서, 상기 데이터 출력 버퍼 제어부는

상기 디코딩 신호들을 선택적으로 오아싱시키는 로직부들; 및

상기 독출 명령에 응답하여 상기 로직부들의 출력들을 상기 출력 제어 신호들로 출력하는 스위치들을 구비하는 것을 특징으로 하는 메모리 장치.

#### 【청구항 5】

입력 데이터 위스 조절이 가능한 메모리 장치에 있어서,

기입 명령에 응답하여 소정의 어드레스들을 수신하여 디코딩하는 디코더;

상기 기입 명령 및 상기 디코더의 출력에 응답하여 입력 제어 신호들을 발생하는 데이터 입력 버퍼 제어부; 및

상기 입력 제어 신호에 응답하여 상기 메모리 장치의 데이터 입력 패드로부터 제공되는 데이터를 선택적으로 상기 메모리 장치의 입력 데이터 신호로 수신하는 데이터 입력 버퍼들을 구비하는 것을 특징으로 하는 메모리 장치.

#### 【청구항 6】

제5항에 있어서, 상기 메모리 장치의 어드레스들은

상기 메모리 장치의 로우 어드레스로는 사용되지만 칼럼 어드레스로는 사용되지 않는 어드레스들인 것을 특징으로 하는 메모리 장치.

#### 【청구항 7】

제5항에 있어서, 상기 디코더는

상기 기입 명령에 응답하여 상기 어드레스들을 전달하는 스위치; 및

상기 스위치로부터 전달된 어드레스들을 디코딩하여 상기 디코딩 신호들을 발생하는 로직부들을 구비하는 것을 특징으로 하는 메모리 장치.

【청구항 8】

제5항에 있어서, 상기 데이터 입력 버퍼 제어부는

상기 디코딩 신호들을 선택적으로 오아링시키는 로직부들; 및

상기 기입 명령에 응답하여 상기 로직부들의 출력들을 상기 입력 제어 신호들로 출력하는 스위치들을 구비하는 것을 특징으로 하는 메모리 장치.

【청구항 9】

입출력 데이터 위스 조절이 가능한 메모리 장치에 있어서,

독출 명령 또는 기입 명령에 응답하여 소정의 어드레스들을 수신하여 디코딩하는 디코더;

상기 독출 명령 및 상기 디코더의 출력에 응답하여 입력 제어 신호들을 발생하는 데이터 입력 버퍼 제어부;

상기 기입 명령 및 상기 디코더의 출력에 응답하여 출력 제어 신호들을 발생하는 데이터 출력 버퍼 제어부;

상기 입력 제어 신호에 응답하여 상기 메모리 장치의 데이터 입출력 패드로부터 제공되는 데이터를 선택적으로 상기 메모리 장치의 입력 데이터 신호로 수신하는 데이터 입력 버퍼들;

상기 출력 제어 신호에 응답하여 상기 메모리 장치의 코어 블록에서 제공되는 데이터를 선택적으로 상기 데이터 입출력 패드로 출력하는 데이터 출력 버퍼들을 구비하는 것을 특징으로 하는 메모리 장치.



【청구항 10】

제9항에 있어서, 상기 디코더는

상기 독출 명령 또는 상기 기입 명령에 응답하여 상기 어드레스들을 전달하는 스위치;

및

상기 스위치로부터 전달된 어드레스들을 디코딩하여 상기 디코딩 신호들을 발생하는 로직부들을 구비하는 것을 특징으로 하는 메모리 장치.

【청구항 11】

제9항에 있어서, 상기 데이터 출력 버퍼 제어부는

상기 디코딩 신호들을 선택적으로 오아싱시키는 로직부들; 및

상기 독출 명령에 응답하여 상기 로직부들의 출력들을 상기 출력 제어 신호들로 출력하는 스위치들을 구비하는 것을 특징으로 하는 메모리 장치.

【청구항 12】

제9항에 있어서, 상기 데이터 입력 버퍼 제어부는

상기 디코딩 신호들을 선택적으로 오아싱시키는 로직부들; 및

상기 기입 명령에 응답하여 상기 로직부들의 출력들을 상기 입력 제어 신호들로 출력하는 스위치들을 구비하는 것을 특징으로 하는 메모리 장치.

【청구항 13】

메모리 장치의 출력 데이터 위스 조절 방법에 있어서,

클럭 신호에 동기되어 독출 명령 및 어드레스들을 수신하는 단계;

상기 독출 명령 및 칼럼 어드레스로 사용되지 않는 상기 어드레스들에 응답하여 출력 제어 신호들을 발생하는 단계; 및

상기 출력 제어 신호에 응답하여 선택적으로 인에이블되는 데이터 출력 버퍼들을 통해 상기 메모리 장치의 코어 블록에서 제공되는 데이터를 데이터 출력 패드로 출력하는 단계를 구비하는 것을 특징으로 하는 메모리 장치의 출력 데이터 위스 조절 방법.

#### 【청구항 14】

메모리 장치의 입력 데이터 위스 조절 방법에 있어서,

클럭 신호에 동기되어 기입 명령 및 어드레스들을 수신하는 단계;

상기 기입 명령 및 칼럼 어드레스로 사용되지 않는 상기 어드레스들에 응답하여 입력 제어 신호들을 발생하는 단계; 및

상기 입력 제어 신호에 응답하여 선택적으로 인에이블되는 데이터 입력 버퍼들을 통해 데이터 입력 패드로 입력되는 데이터들을 입력 데이터 신호로 수신하는 단계를 구비하는 것을 특징으로 하는 메모리 장치의 입력 데이터 위스 조절 방법.

#### 【청구항 15】

메모리 장치의 입출력 데이터 위스 조절 방법에 있어서,

클럭 신호에 동기되는 어드레스들과 함께 독출 명령 또는 기입 명령을 수신하는 단계;

상기 독출 명령에 응답하여 칼럼 어드레스로 사용되지 않는 상기 어드레스들에 응답하여 입력 제어 신호들을 발생하는 단계;

상기 기입 명령에 응답하여 상기 칼럼 어드레스로 사용되지 않는 상기 어드레스들에 응답하여 출력 제어 신호를 발생하는 단계;

상기 입력 제어 신호에 응답하여 선택적으로 인에이블되는 데이터 입력 버퍼들을 통해 데이터 입력 패드로 입력되는 데이터들을 입력 데이터 신호로 수신하는 단계; 및

상기 출력 제어 신호에 응답하여 선택적으로 인에이블되는 데이터 출력 버퍼들을 통해 상기 메모리 장치의 코어 블록에서 제공되는 데이터를 데이터 출력 패드로 출력하는 단계를 구비하는 것을 특징으로 하는 메모리 장치의 입출력 데이터 위스 조절 방법.

#### 【청구항 16】

메모리 장치의 입출력 데이터 위스 조절 방법에 있어서,

클럭 신호에 동기되어 액티브 명령 및 어드레스들을 수신하는 단계;

상기 액티브 명령 및 상기 어드레스들에 응답하여 제어 신호들을 발생하는 단계;

상기 제어 신호에 응답하여 선택적으로 인에이블되는 데이터 입력 버퍼들을 통해 입력 데이터 패드로 입력되는 데이터들을 데이터 입력 신호로 수신하는 단계; 및

상기 제어 신호에 응답하여 선택적으로 인에이블되는 데이터 출력 버퍼들을 통해 상기 메모리 장치의 코어 블록에서 제공되는 데이터를 출력 데이터 패드로 출력하는 단계를 구비하는 것을 특징으로 하는 메모리 장치의 입출력 데이터 위스 조절 방법.

#### 【청구항 17】

메모리 장치의 입출력 데이터 위스 조절 방법에 있어서,

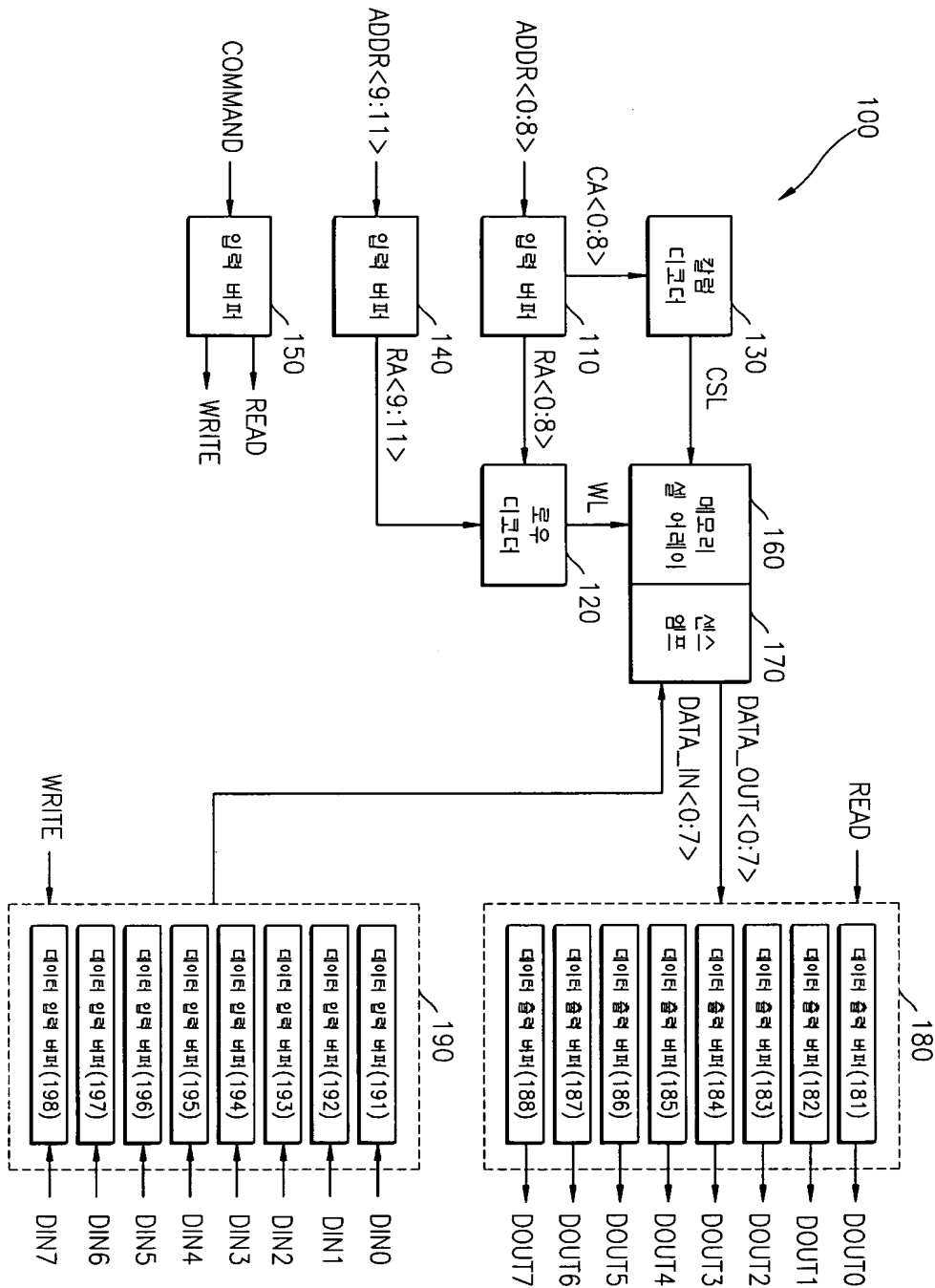
상기 입출력 데이터 위스를 조절하는 제어 신호들을 모드 레지스터에 저장하는 단계;

상기 제어 신호들에 응답하여 선택적으로 인에이블되는 데이터 입력 버퍼를 통해 상기 메모리 장치의 데이터 입출력 패드로부터 제공되는 데이터를 선택적으로 상기 메모리 장치의 입력 데이터 신호로 수신하는 단계; 및

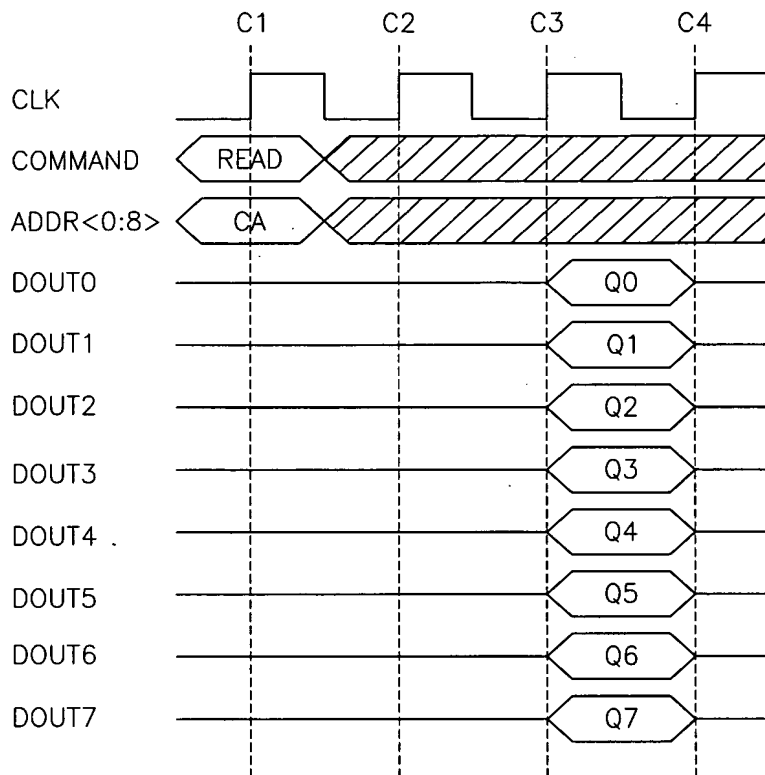
상기 제어 신호에 응답하여 선택적으로 인에이블되는 데이터 출력 버퍼를 통해 상기 메모리 장치의 코어 블록에서 제공되는 데이터를 선택적으로 상기 데이터 입출력 패드로 출력하는 단계를 구비하는 것을 특징으로 하는 메모리 장치의 입출력 데이터 위스 조절 방법.

【도면】

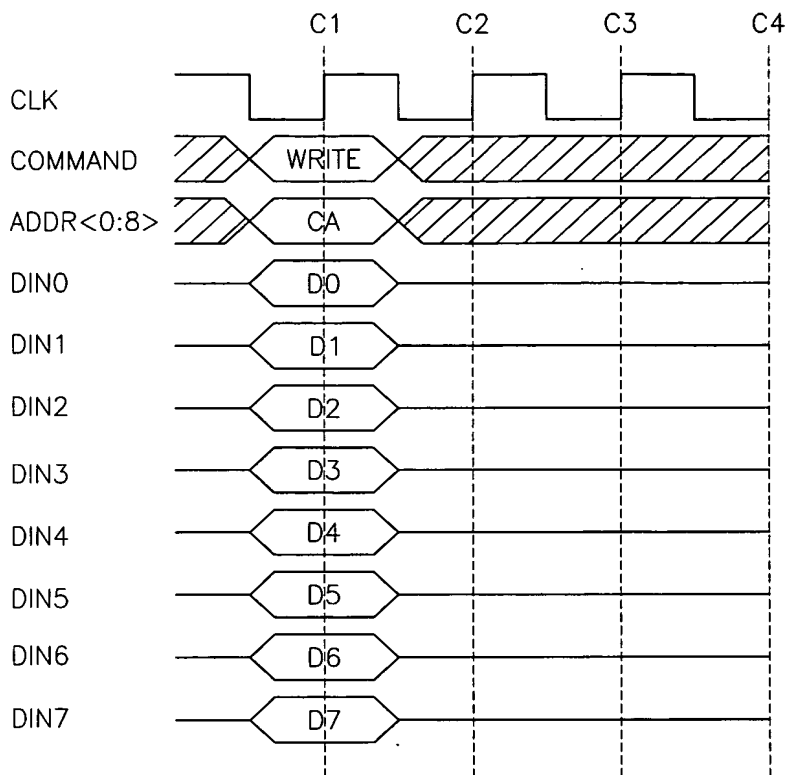
【도 1】



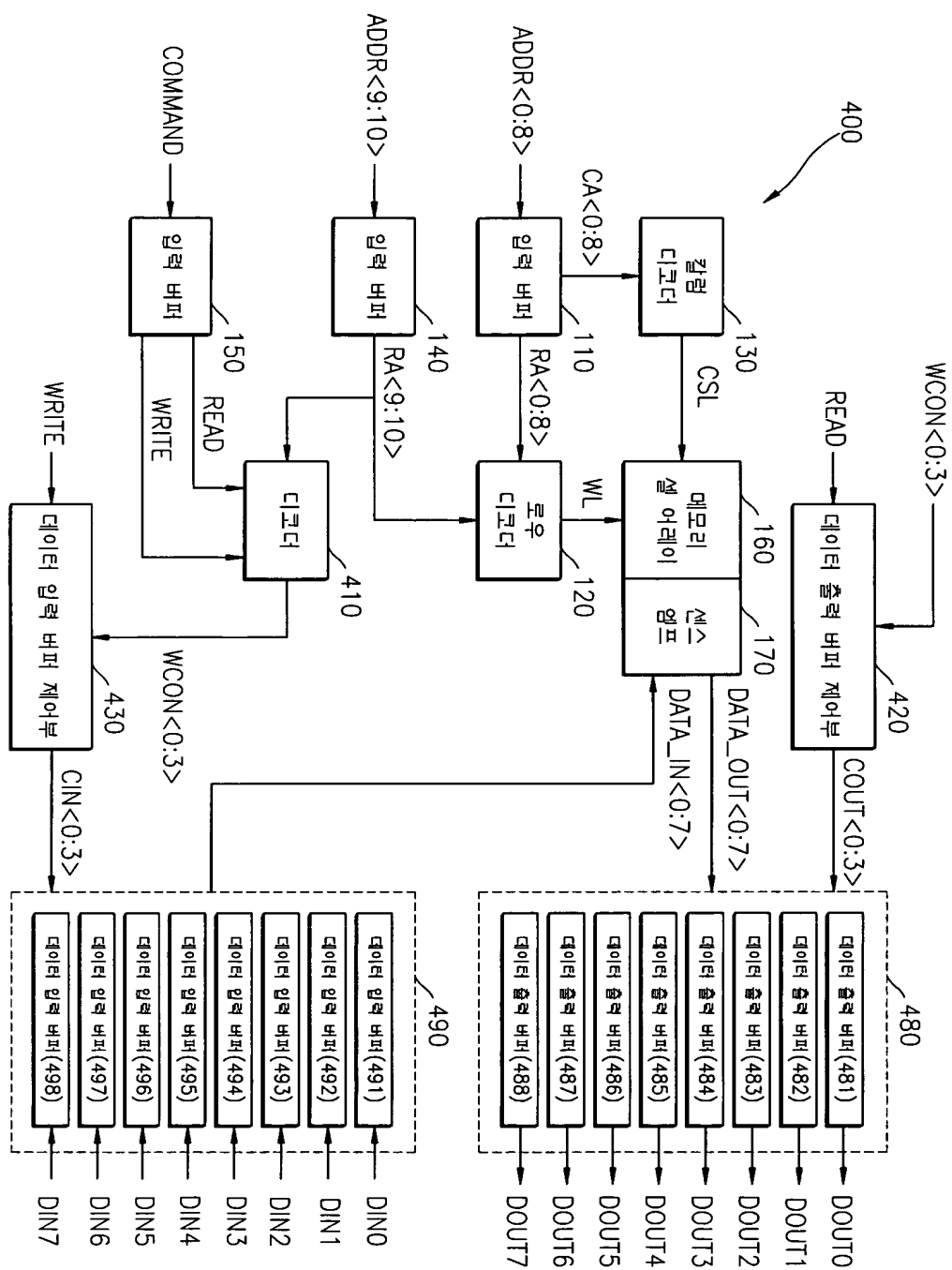
【도 2】



【도 3】

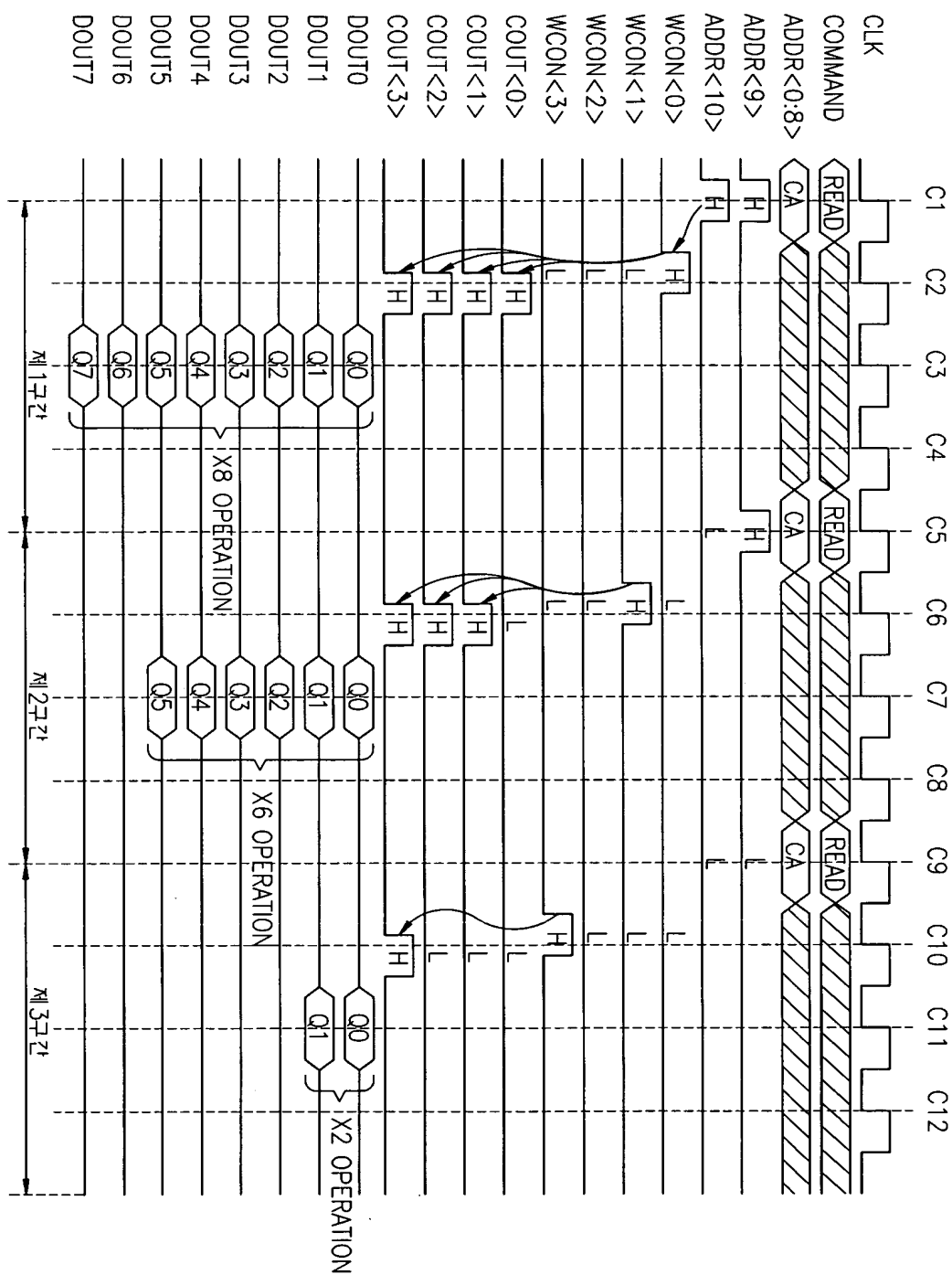


【도 4】

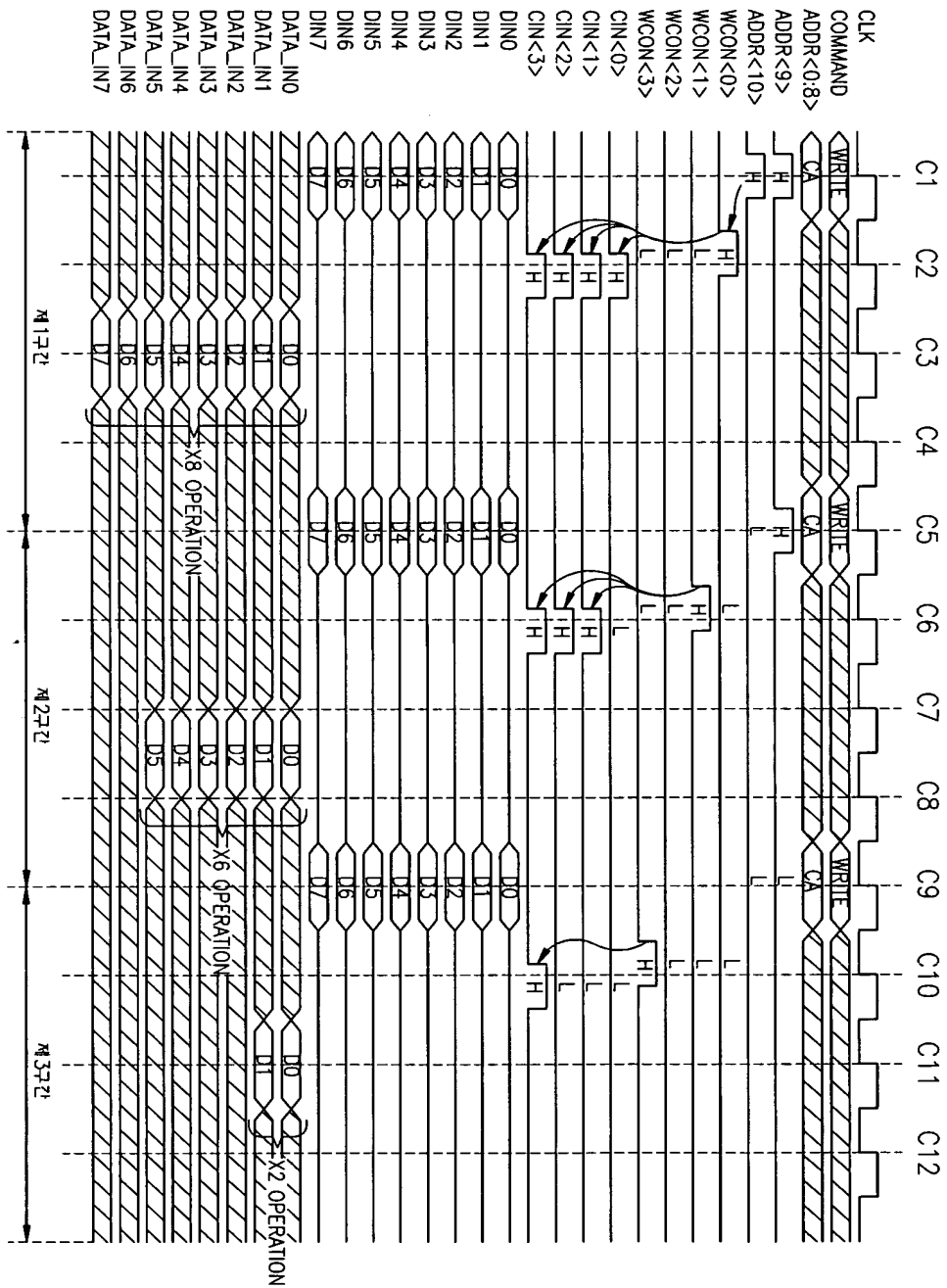




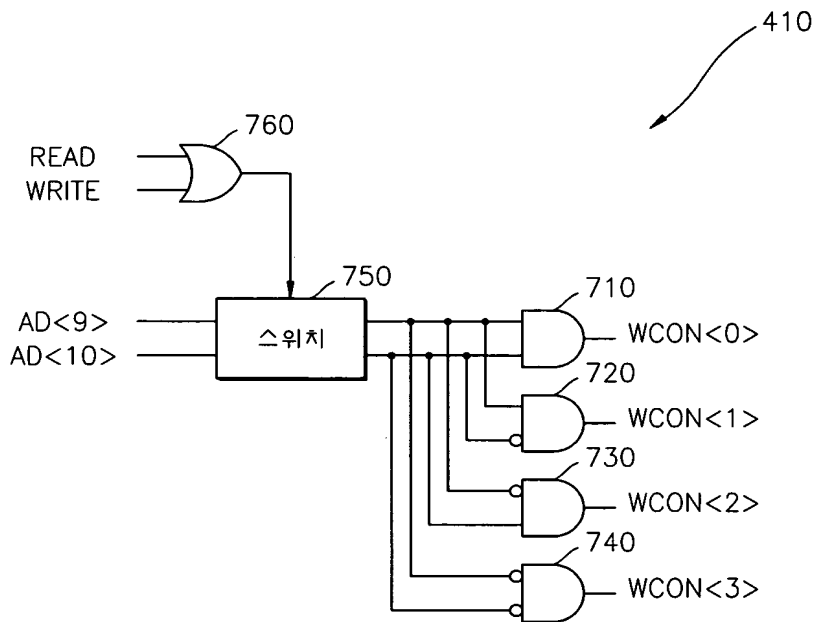
【도 5】



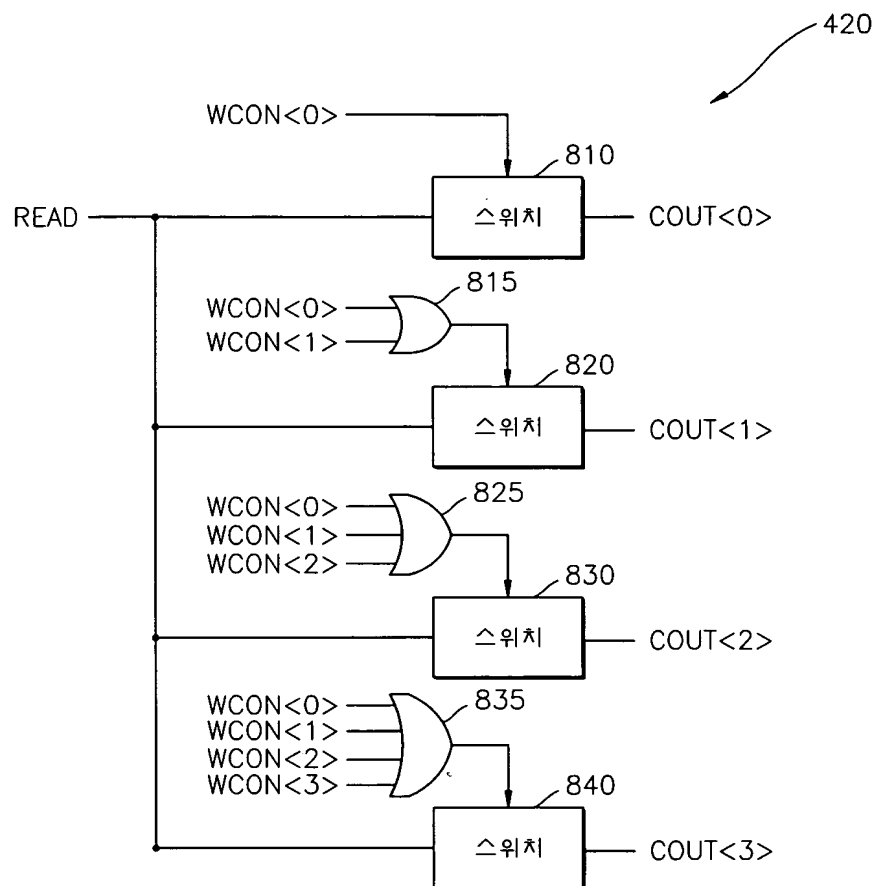
【도 6】



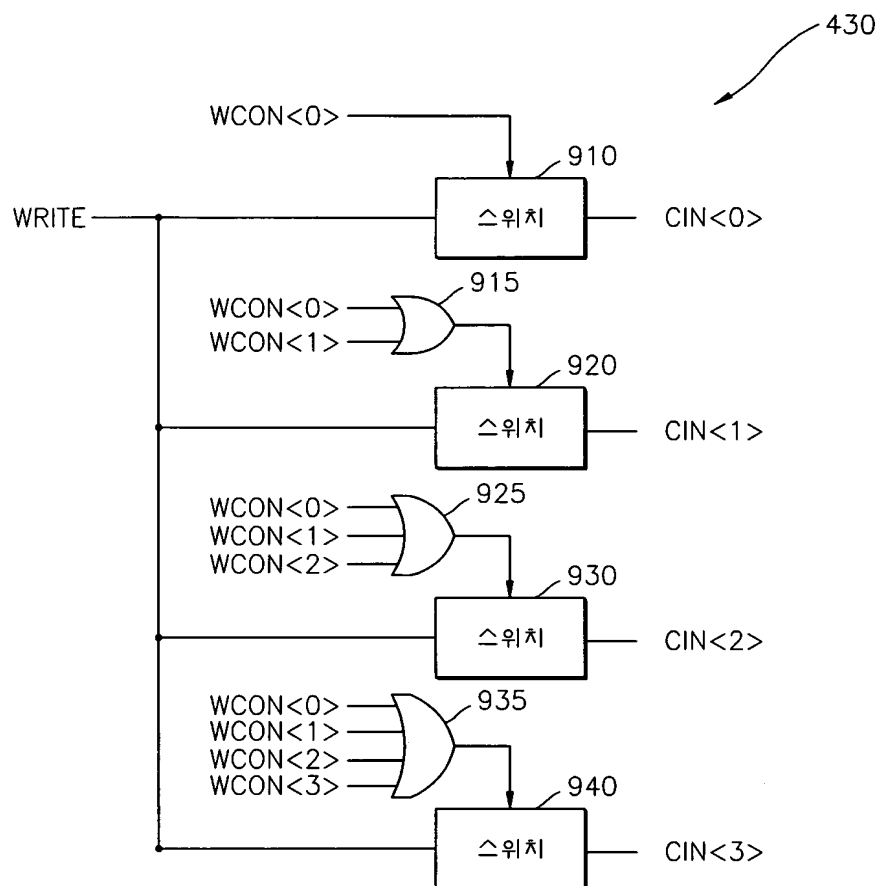
【도 7】



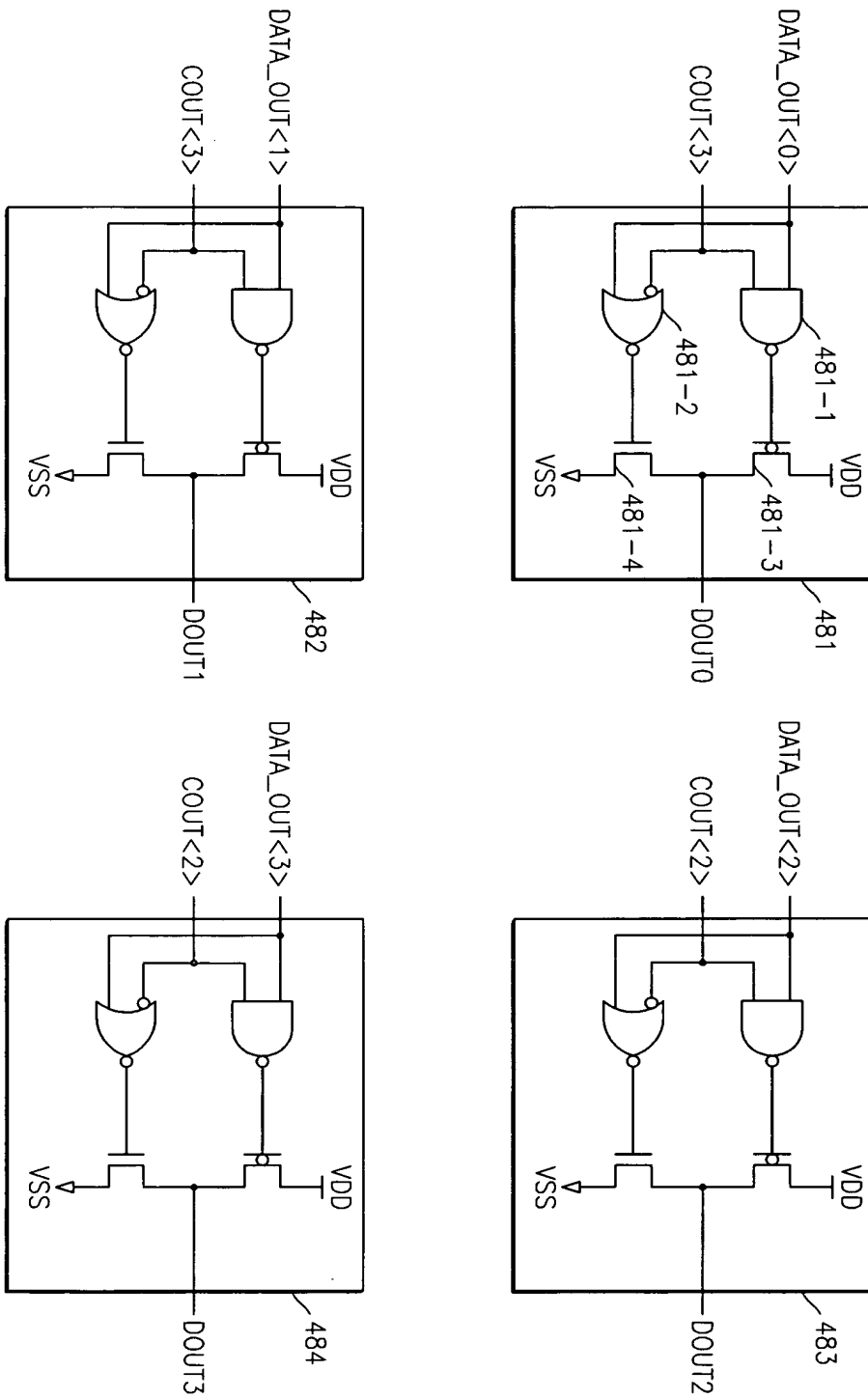
【도 8】



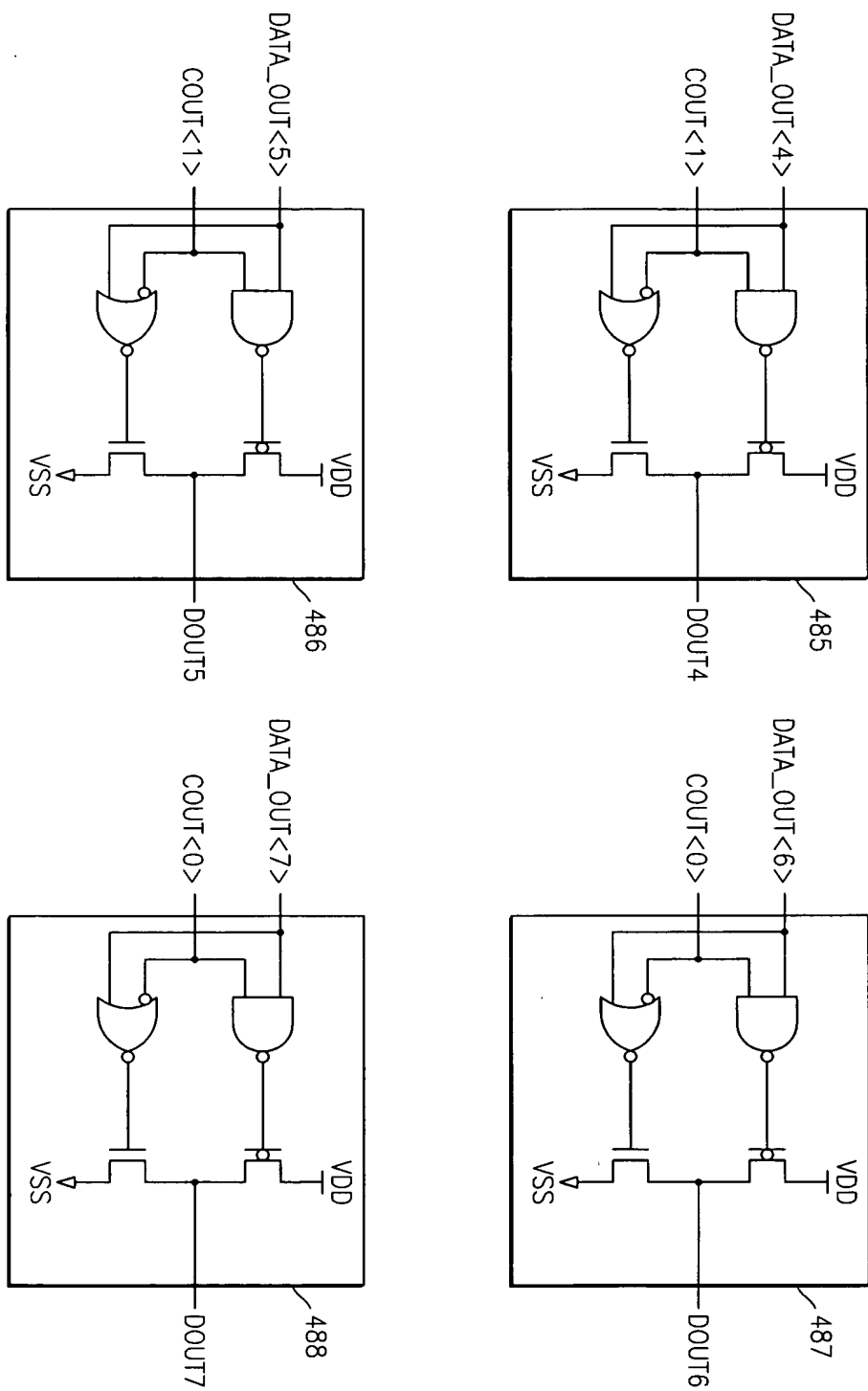
【도 9】



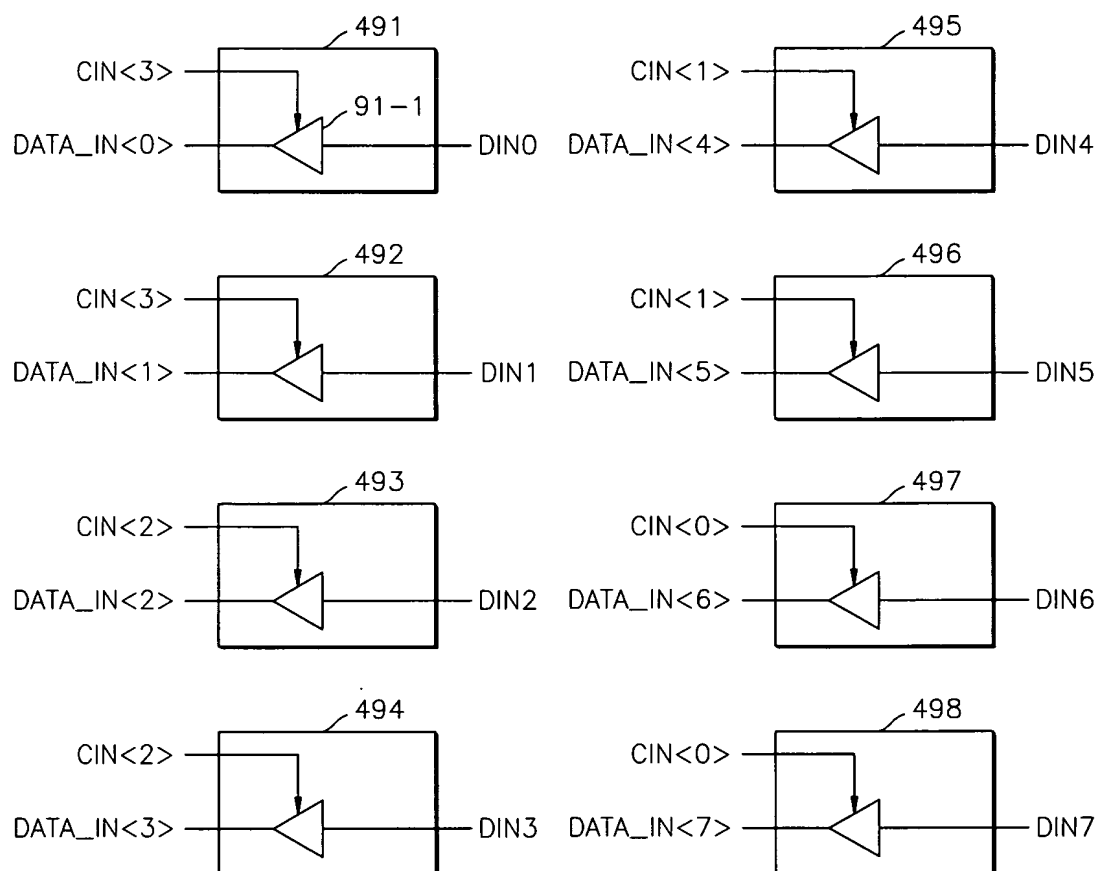
【도 10a】



【도 10b】



【도 11】



【도 12】

